

B2

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

Best Available Copy

(51) 。 Int. Cl.⁸ (11) 공개번호 10-2006-0005181
H01L 21/762 (2006.01) (43) 공개일자 2006년01월17일

(21) 출원번호 10-2004-0054067
(22) 출원일자 2004년07월12일
(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 이병석
경기도 성남시 분당구 정자동 상록마을라이프1단지아파트 105-605
(74) 대리인 신영무

심사청구 : 없음

(54) 반도체 소자의 소자 분리막 형성 방법

요약

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 반도체 기관의 소자 분리 영역만을 개방시킨 상태에서 트랜치가 V자 형태로 형성되도록 1차 식각 공정을 실시하다가, 양쪽 경사면이 맞닿기 전에 소자 분리 영역의 전체면이 균일하게 식각되도록 2차 식각 공정을 실시하여 트랜치를 Y자 형태로 형성함으로써, 트랜치의 상부 모서리에서 전계가 집중되는 것을 억제함과 동시에 트랜치의 종횡비를 낮추어 절연 물질의 매립특성을 향상시켜 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

대표도

도 2g

색인어

소자 분리막, 트랜치, STI, 종횡비, 매립특성, 식각경사면

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래 기술에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

101, 201 : 반도체 기관 102, 202 : 터널 산화막

103, 203 : 폴리실리콘층 104, 204 : 패드 질화막

105, 205 : 하드 마스크막 106, 206 : 포토레지스트 패턴

107, 207 : 트렌치 208 : 산화막

108 : 절연 물질층 209 : 소자 분리막

109 : 보이드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 특히 반도체 기판에 트렌치를 형성한 후 트렌치를 절연 물질로 매립하는 STI(Shallow Trench Isolation) 방식을 적용하는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.

반도체 소자의 집적도가 증가함에 따라 일반 소자의 제조 공정에서는 STI(Shallow Trench Isolation) 방식으로 소자 분리막을 형성하고, 낸드 플래시 메모리 소자에서는 SA-STI(Self Aligned Shallow Trench Isolation) 방식으로 소자 분리막을 형성하고 있다.

STI 방식(또는, SA-STI 방식)으로 소자 분리막을 형성하는 방법을 설명하면 다음과 같다.

도 1a 내지 도 1e는 종래 기술에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

도 1a를 참조하면, 반도체 기판(101) 상에 터널 산화막(102), 플로팅 게이트용 폴리실리콘층(103), 패드 질화막(104)을 순차적으로 형성하고, 패드 질화막(104) 상에는 하드 마스크막(105)을 형성한다. 이어서, 하드 마스크막(105) 상에는 소자 분리 영역이 정의된 포토레지스트 패턴(106)을 형성한다.

패드 질화막(104) 및 하드 마스크막(105)은 소자 분리 영역을 정의하기 위한 절연막 패턴을 형성하기 위한 것이다. 여기서, 하드 마스크막(104)은 주로 산화 질화막(SiON)으로 형성되며, 하드 마스크막(104)을 형성하지 않을 수도 있다. 이럴 경우, 패드 질화막(103)을 보다 더 두껍게 형성한다.

한편, DRAM이나 그 외의 소자 제조 공정의 경우에는, 폴리실리콘층(103)을 형성하지 않고 패드 질화막(104)을 산화막(102) 상에 바로 형성하며, 터널 산화막(102)은 패드 질화막(103)에 의해 반도체 기판(101)의 표면 특성이 저하되는 것을 방지하기 위한 패드 산화막의 역할을 수행하게 된다. 이하, 낸드 플래시 메모리 소자의 제조 공정에서 폴리실리콘층(103)이 형성되는 경우를 예로써 설명하기로 한다.

도 1b를 참조하면, 소자 분리 영역의 하드 마스크막(104), 패드 질화막(103) 및 산화막(102)을 순차적으로 식각하여, 반도체 기판(101)의 소자 분리 영역을 노출시킨다. 이어서, 포토레지스트 패턴(도 1a의 105)을 제거한다.

도 1c를 참조하면, 소자 분리 영역의 폴리실리콘층(103) 및 터널 산화막(102)을 식각한다. 이로써, 반도체 기판(101)의 소자 분리 영역이 노출된다. 이어서, 반도체 기판(101)의 소자 분리 영역을 소정의 깊이까지 식각하여 트렌치(107)를 형성한다. 이때, 하드 마스크막(104)의 일정도 식각되어 패드 질화막(104) 상에 소정의 두께만큼 잔류된다.

이어서, 도면에는 도시되어 있지 않지만, 트렌치(107)의 측벽 및 저면에 형성된 식각 손상층을 제거하기 위한 후식각 처리(Post Etch Treatment)와 열산화 공정을 실시한다.

도 1d를 참조하면, 트렌치(107)가 완전히 매립되도록 전체 구조 상에 절연 물질층(108)을 형성한다. 이때, 트렌치(107)의 종횡비가 높아서 절연물질층(108)이 트렌치(107) 내부에 완전하게 형성되지 않고 보이드(109)가 형성된다. 이러한 보이드(109)는 절연물질층(108)을 소자 분리 영역에만 잔류시키기 위한 후속 화학적 기계적 연마 공정 시 노출될 수 있으며, 이 경우 보이드(109)가 흠 형태로 잔류되면서 찌꺼기(Residue)가 남아 수율이 감소될 수 있다.

한편, 도 1e에서와 같이, 절연물질층의 매립 특성을 향상시키기 위하여 트렌치(107)를 V자 형태로 형성하는 방법도 적용되고 있으나, 이 경우 스트레스에 의한 단층(Dislocation)이 발생하는 문제점이 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

이에 대하여, 본 발명이 제시하는 반도체 소자의 소자 분리막 형성 방법은 반도체 기판의 소자 분리 영역만을 개방시킨 상태에서 트렌치가 V자 형태로 형성되도록 1차 식각 공정을 실시하다가, 양쪽 경사면이 맞닿기 전에 소자 분리 영역의 전체면이 균일하게 식각되도록 2차 식각 공정을 실시하여 트렌치를 Y자 형태로 형성함으로써, 트렌치의 상부 모서리에서 전계가 집중되는 것을 억제함과 동시에 트렌치의 종횡비를 낮추어 절연 물질의 매립특성을 향상시켜 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

발명의 구성 및 작용

본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판의 소자 분리 영역만을 개방시키는 단계와, 소자 분리 영역의 가장자리에서 경사면이 발생되도록 반도체 기판의 소자 분리 영역을 1차 식각하여 역마름모꼴의 트렌치를 형성하는 단계와, 반도체 기판의 소자 분리 영역이 균일하게 식각되도록 2차 식각하여 역마름모꼴의 트렌치를 Y자 형태의 트렌치로 형성하는 단계, 및 트렌치를 절연물질로 매립하여 소자 분리막을 형성하는 단계를 포함한다.

상기에서, 1차 식각 시 소자 분리 영역의 가장 자리에서 식각 경사면이 발생되도록 HBr 가스를 주식각 가스로 사용하며, O_2 가스 또는 Cl_2 가스를 함께 사용할 수 있다. 이때, HBr 가스의 공급 유량은 55sccm 내지 100sccm으로 설정되고, O_2 가스의 공급 유량은 0sccm 내지 3sccm으로 설정되며, Cl_2 가스의 공급 유량은 0sccm 내지 35sccm으로 설정될 수 있다. 한편, 1차 식각 공정 시 식각 경사면이 발생되도록 10mTorr 내지 50mTorr의 압력에서 350W 내지 600W의 높은 바이어스를 인가하는 것이 바람직하다.

2차 식각 시 소자 분리 영역 전체에서 반도체 기판이 균일하게 식각되도록 Cl_2 가스가 주식각 가스를 사용하며, O_2 가스 또는 HBr 가스를 함께 사용할 수 있다. 이때, Cl_2 가스의 공급 유량은 35sccm 내지 100sccm으로 설정되고, O_2 가스의 공급 유량은 3sccm 내지 10sccm으로 설정되며, HBr 가스의 공급 유량은 0sccm 내지 55sccm으로 설정될 수 있다. 한편, 2차 식각 공정 시 균일한 식각이 이루어지도록 4mTorr 내지 10mTorr의 압력에서 50W 내지 350W의 낮은 바이어스를 인가하는 것이 바람직하다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

도 2a를 참조하면, 반도체 기판(201) 상에 터널 산화막(202), 플로팅 게이트용 폴리실리콘층(203), 패드 질화막(204)을 순차적으로 형성하고, 패드 질화막(204) 상에는 하드 마스크막(205)을 형성한다. 이어서, 하드 마스크막(205) 상에는 소자 분리 영역이 정의된 포토레지스트 패턴(206)을 형성한다.

패드 질화막(204) 및 하드 마스크막(205)은 소자 분리 영역을 정의하기 위한 절연막 패턴을 형성하기 위한 것이다. 여기서, 하드 마스크막(204)은 주로 산화 질화막(SiON)으로 형성되며, 하드 마스크막(204)을 형성하지 않을 수도 있다. 이럴 경우, 패드 질화막(203)을 보다 더 두껍게 형성한다.

한편, DRAM이나 그 외의 소자 제조 공정의 경우에는, 폴리실리콘층(203)을 형성하지 않고 패드 질화막(204)을 산화막(202) 상에 바로 형성하며, 터널 산화막(202)은 패드 질화막(203)에 의해 반도체 기판(201)의 표면 특성이 저하되는 것을 방지하기 위한 패드 산화막의 역할을 수행하게 된다. 이하, 나노 플래시 메모리 소자의 제조 공정에서 폴리실리콘층(203)이 형성되는 경우를 예로써 설명하기로 한다.

도 2b를 참조하면, 소자 분리 영역의 하드 마스크막(204), 패드 질화막(203) 및 산화막(202)을 순차적으로 식각하여, 반도체 기판(201)의 소자 분리 영역을 노출시킨다. 이어서, 포토레지스트 패턴(도 2a의 205)을 제거한다.

도 2c를 참조하면, 소자 분리 영역의 폴리실리콘층(203) 및 터널 산화막(202)을 식각한다. 이로써, 반도체 기판(201)의 소자 분리 영역이 노출된다.

도 2d를 참조하면, 반도체 기판(201)의 소자 분리 영역을 1차 식각하여 트렌치(207)를 형성한다. 이때, 소자 분리 영역의 가장자리에서 경사면이 발생되어 트렌치(207)가 V자 형태로 형성되도록 식각 공정 조건을 조절하여 트렌치(207)를 형성한다. 한편, 1차 식각 공정은 트렌치(207)의 경사진 양 측벽이 서로 맞닿기 전에 종료하여 트렌치(207)를 역사다리꼴로 형성한다. 이때, 하드 마스크막(204)의 일정도 식각되어 패드 질화막(204) 상에 소정의 두께만큼 잔류된다.

이러한 1차 식각 공정은 소자 분리 영역의 가장 자리에서 식각 경사면이 발생되도록 HBr 가스를 주식각 가스로 사용하며, O₂ 가스 또는 Cl₂ 가스가 함께 사용될 수 있다. 이때, HBr 가스의 공급 유량은 55sccm 내지 100sccm으로 설정하고, O₂ 가스의 공급 유량은 0sccm 내지 3sccm으로 설정하며, Cl₂ 가스의 공급 유량은 0sccm 내지 35sccm으로 설정할 수 있다. 한편, 1차 식각 공정 시 식각 경사면이 발생되도록 높은 바이어스를 인가하여 주며, 구체적으로 예를 들면, 10mTorr 내지 50mTorr의 압력에서 350W 내지 600W의 높은 바이어스를 인가하면서 1차 식각 공정을 실시할 수 있다.

도 2e를 참조하면, 트렌치(207)가 역사다리꼴 형태로 형성된 상태에서, 소자 분리 영역의 반도체 기판(201)이 균일하게 식각될 수 있는 공정 조건으로 2차 식각을 실시한다. 이때, 2차 식각 공정이 전면 식각 공정과 비슷한 조건에서 실시되기 때문에, 경사진 부분보다 평탄한 부분에서 식각이 보다 더 빠르게 진행된다. 이로 인해, 트렌치(207)는 중앙 부분이 보다 더 빠르게 식각되어 Y자 형태로 형성된다. 이러한 Y자 형태의 트렌치(207)를 통해, 일반적인 형태로 형성하는 경우나 완전한 V자 형태로 형성하는 경우보다 중형비를 낮추면서 전계 집중을 억제할 수 있는 효과를 동시에 얻을 수 있다.

이러한 2차 식각 공정은 소자 분리 영역 전체에서 반도체 기판(201)이 균일하게 식각되도록 Cl₂ 가스를 주식각 가스로 사용하며, O₂ 가스 또는 HBr 가스가 함께 사용될 수 있다. 이때, Cl₂ 가스의 공급 유량은 35sccm 내지 100sccm으로 설정하고, O₂ 가스의 공급 유량은 3sccm 내지 10sccm으로 설정하며, HBr 가스의 공급 유량은 0sccm 내지 55sccm으로 설정할 수 있다. 한편, 2차 식각 공정 시 균일한 식각이 이루어지도록 1차 식각 공정때보다 낮은 바이어스를 인가하여 주며, 구체적으로 예를 들면, 4mTorr 내지 10mTorr의 압력에서 50W 내지 350W의 낮은 바이어스를 인가하면서 2차 식각 공정을 실시할 수 있다.

도 2f를 참조하면, 트렌치(207)를 형성하기 위한 식각 공정 시 발생된 식각 손상을 보상함과 동시에, 트렌치(207)의 상부 모서리를 둥글게 라운딩 처리하기 위하여 후식각 처리(Post Etch Treatment)와 열산화 공정을 실시한다. 이로써, 트렌치(207)의 측벽 및 저면에는 산화막(208)이 형성된다.

도 2g를 참조하면, 트렌치(207)가 완전히 매립되도록 전체 구조 상에 절연 물질층을 형성한 후, 절연 물질층이 소자 분리 영역에만 잔류되도록 화학적 기계적 연마 공정을 실시하여, 소자 분리 영역에 절연 물질층으로 이루어진 소자 분리막(209)을 형성한다. 이때, 트렌치(207)가 Y자 형태로 형성된 상태에서 절연 물질층이 형성되기 때문에, 절연 물질층의 매립 특성을 향상시켜 보이드가 형성되는 것을 방지하면서 소자 분리막(209)을 형성할 수 있다. 여기서, 소자 분리막(209)은 고 밀도 플라스마 산화물로 형성할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 반도체 기판의 소자 분리 영역만을 개방시킨 상태에서 트렌치가 V자 형태로 형성되도록 1차 식각 공정을 실시하다가, 양쪽 경사면이 맞닿기 전에 소자 분리 영역의 전체면이 균일하게 식각되도록 2차 식각 공정을 실시하여 트렌치를 Y자 형태로 형성함으로써, 트렌치의 상부 모서리에서 전계가 집중되는 것을 억제함과 동시에 트렌치의 중형비를 낮추어 절연 물질의 매립특성을 향상시켜 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판의 소자 분리 영역만을 개방시키는 단계;

상기 소자 분리 영역의 가장자리에서 경사면이 발생되도록 상기 반도체 기판의 상기 소자 분리 영역을 1차 식각하여 역마름모꼴의 트렌치를 형성하는 단계;

상기 반도체 기판의 상기 소자 분리 영역이 균일하게 식각되도록 2차 식각하여 상기 역마름모꼴의 트렌치를 Y자 형태의 트렌치로 형성하는 단계; 및

상기 트렌치를 절연물질로 매립하여 소자 분리막을 형성하는 단계를 포함하는 반도체 소자의 소자 분리막 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 1차 식각 시 상기 소자 분리 영역의 가장 자리에서 식각 경사면이 발생되도록 HBr 가스가 주식각 가스로 사용되며, O₂ 가스 또는 Cl₂ 가스가 함께 사용되는 반도체 소자의 소자 분리막 형성 방법.

청구항 3.

제 2 항에 있어서,

상기 HBr 가스의 공급 유량은 55sccm 내지 100sccm으로 설정되고, 상기 O₂ 가스의 공급 유량은 0sccm 내지 3sccm으로 설정되며, 상기 Cl₂ 가스의 공급 유량은 0sccm 내지 35sccm으로 설정되는 반도체 소자의 소자 분리막 형성 방법.

청구항 4.

제 2 항에 있어서,

상기 1차 식각 공정 시 상기 식각 경사면이 발생되도록 10mTorr 내지 50mTorr의 압력에서 350W 내지 600W의 높은 바이어스가 인가되는 반도체 소자의 소자 분리막 형성 방법.

청구항 5.

제 1 항에 있어서,

상기 2차 식각 시 상기 소자 분리 영역 전체에서 상기 반도체 기판이 균일하게 식각되도록 Cl₂ 가스가 주식각 가스로 사용되며, O₂ 가스 또는 HBr 가스가 함께 사용되는 반도체 소자의 소자 분리막 형성 방법.

청구항 6.

제 5 항에 있어서,

상기 Cl_2 가스의 공급 유량은 35sccm 내지 100sccm으로 설정되고, 상기 O_2 가스의 공급 유량은 3sccm 내지 10sccm으로 설정되며, 상기 HBr 가스의 공급 유량은 0sccm 내지 55sccm으로 설정되는 반도체 소자의 소자 분리막 형성 방법.

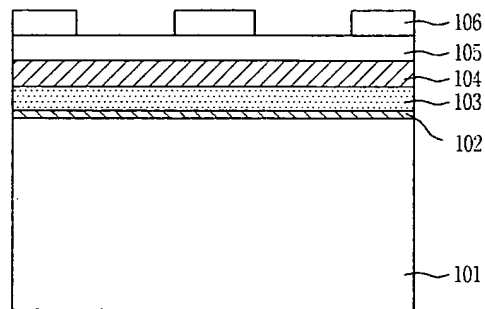
청구항 7.

제 5 항에 있어서,

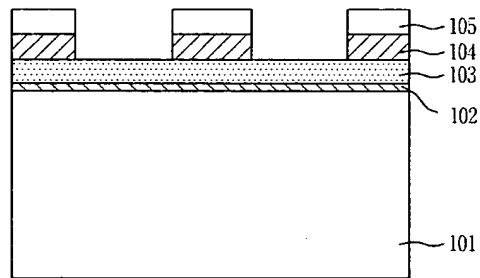
상기 2차 식각 공정 시 균일한 식각이 이루어지도록 4mTorr 내지 10mTorr의 압력에서 50W 내지 350W의 낮은 바이어스를 인가하는 반도체 소자의 소자 분리막 형성 방법.

도면

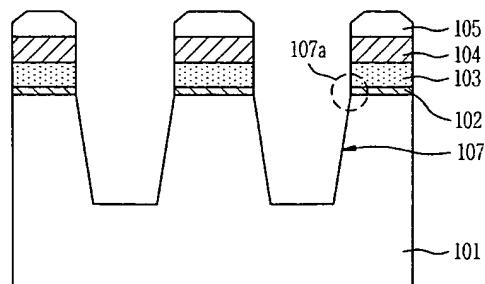
도면 1a



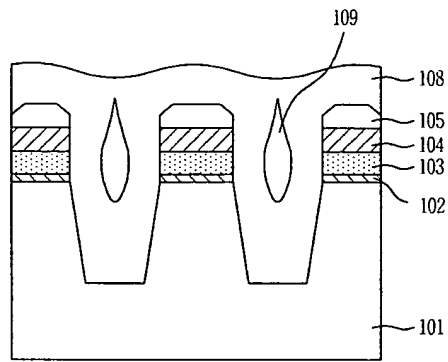
도면 1b



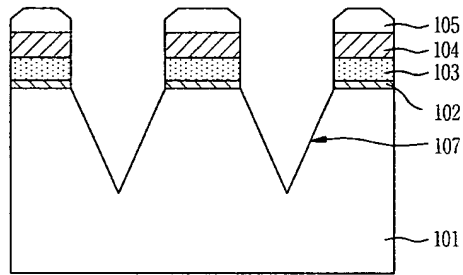
도면 1c



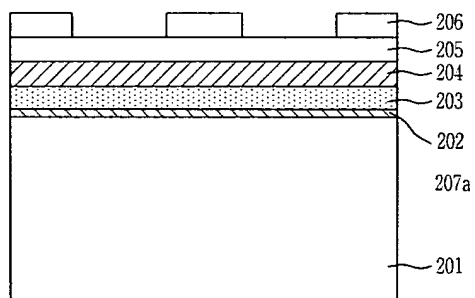
도면1d



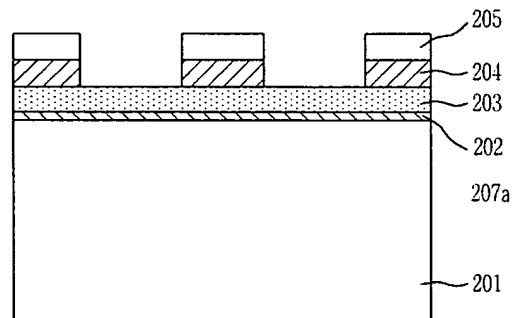
도면1e



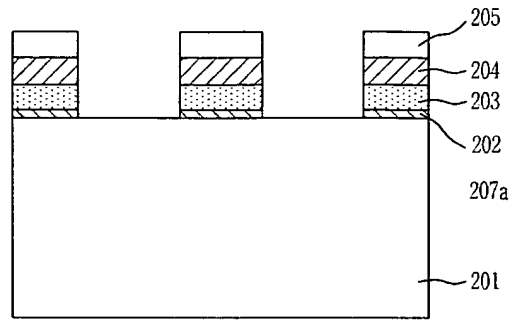
도면2a



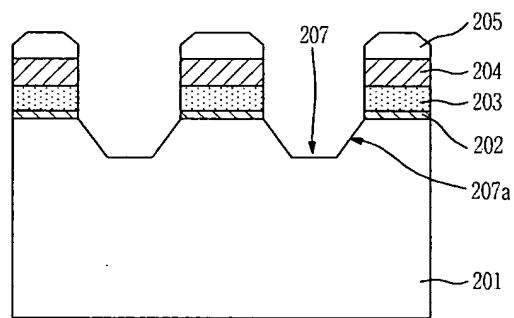
도면2b



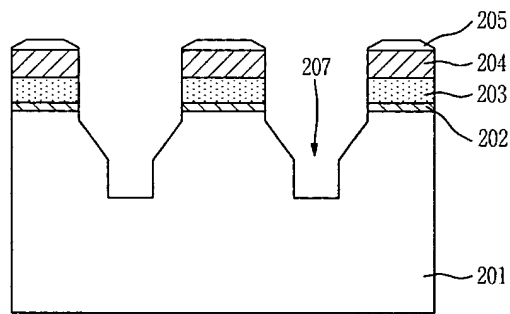
도면2c



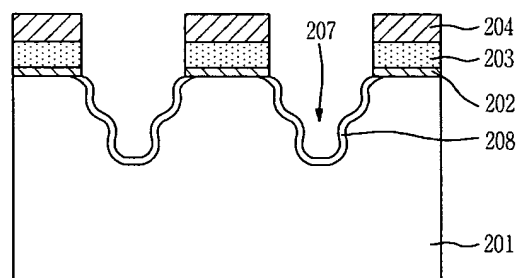
도면2d



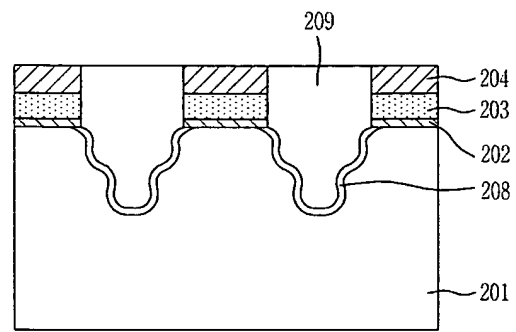
도면2e



도면2f



도면2g



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.